

DOI: [10.46793/CIGRE37.B4.08](https://doi.org/10.46793/CIGRE37.B4.08)**B4.08****ALGORITAM ZA BRZU REGULACIJU IZLAZNOG NAPONA U PRISUSTVU
POREMEĆAJA KOD VIŠEFAZNOG PRETVARAČA SPUŠTAČA NAPONA****ALGORITHM FOR FAST OUTPUT VOLTAGE REGULATION IN THE PRESENCE OF DISTURBANCES
IN AN INTERLEAVED BUCK CONVERTER****Andela Tomašević, Aleksandar Milić^{1*}**

Kratak sadržaj: Rastuća rasprostranjenost računarskih sistema sa visokim performansama postavlja nove izazove na polju stabilnosti napajanja u prisustvu poremećaja izazvanih naglim promenama u potrošnji električne energije. Nesmetan rad ovakvih sistema zahteva potiskivanje poremećaja u isporuci električne energije koje je u mikrosekundnom opsegu, što iziskuje visok propusni opseg regulacionih petlji. U radu je iznet predlog realizacije algoritma za brzu regulaciju izlaznog napona u prisustvu strujnog poremećaja na primeru pretvarača višefaznog spuštača napona koji obezbeđuje stabilan i robustan rad krajnjeg potrošača. Predloženi algoritam je zasnovan na dve naponske petlje i u postizanju željenih performansi se oslanja na tehniku plasiranja polova. Pokazano je da precizno modeliranje oscilatorne dinamike pretvarača omogućava oblikovanje odziva prema specifikacijama koje se očekuju u ovoj oblasti primene. Učinak predstavljenog algoritma u potiskivanju poremećaja dinamike 500 A/ms pri izlaznom naponu u opsegu od 20 V do 150 V je verifikovan na platformi za razvoj i ispitivanje kompleksnih ugrađenih sistema u realnom vremenu (eng. hardware-in-the-loop - HIL) i eksperimentalnim putem. Predloženi algoritam omogućava lokalno potiskivanje poremećaja i sprečava njihovo dalje prostiranje u elektroenergetski sistem, dok implementacija na digitalnom signalnom procesoru (DSP) pruža uštedu prostora, smanjenje troškova proizvodnje i veću energetska efikasnost u odnosu na alternativna rešenja.

Ključne reči: digitalno upravljanje, brz tranzijent, plasiranje polova, jednosmerni pretvarač

Abstract: The growing prevalence of high-performance computer systems presents new challenges in power supply stability in the presence of disturbances caused by rapid changes in energy consumption. The seamless operation of such systems requires the suppression of voltage delivery disturbances in the microsecond range, which demands a high bandwidth for closed-loop control. This paper proposes an algorithm for fast regulation of the output voltage in the presence of current disturbances which ensures stable and robust operation of the end consumer, using an interleaved buck converter as an example. The proposed algorithm is based on two voltage control loops and relies on pole-placement techniques to achieve the desired

^{1*} Andela Tomašević, University of Belgrade, School of Electrical Engineering, andjela.m.tomasevic@gmail.com
Aleksandar Milić, Elektrotehnički fakultet, Univerziteta u Beogradu, milic.aleksandar@etf.rs

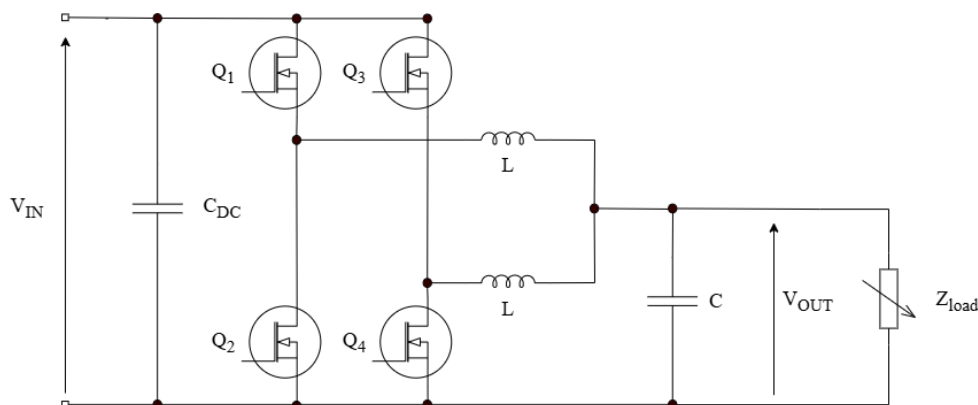
performance. It is shown that precise modelling of the converter's oscillatory dynamics enables shaping the response according to the specifications expected in this application domain. The effectiveness of the proposed algorithm in suppressing 500 A/ms dynamic disturbances on the output voltage in the range from 20 V to 150 V has been verified through hardware-in-the-loop (HIL) simulation and experimentally. The proposed algorithm enables the local suppression of disturbances and prevents their further spread into the power system, while the implementation on a digital signal processor (DSP) provides high-power density and efficiency with reduction of production cost compared to alternative solutions.

Key words: digital control, fast transient, pole placement, dc-dc converter

1 UVOD

U savremenim primenama jednosmernih prekidačkih izvora napajanja, brz odziv na promenu struje potrošača i precizno praćenje naponske reference su među najvažnijim zahtevima kako bi se zadovoljili zahtevi potrošača [1]. Sa stanovišta sinteze algoritma za regulaciju, definisanje željenih karakteristika zatvorene sprege koje se mogu dovesti u vezu sa ovim performansama je ključan korak [2]. Shodno tome, za metod projektovanja regulacionog sistema je poželjno da na uravnotežen način uzima u obzir više takvih karakteristika [3].

U radu je predstavljen algoritam za regulaciju izlaznog napona višefaznog spuštača napona koji je sa ciljem postizanja tranzijenata u opsegu do 100 μ s projektovan prema željenom propusnom opsegu i maksimumu funkcije senzitivnosti [3]. Parametri projektovanog regulacionog sistema sačinjenog od dve naponske petlje su sa tim karakteristikama dovedeni u vezi i određeni metodom plasiranja polova. Algoritam je uspešno implementiran na DSP i testiran u opsegu izlaznog napona od 20 V do 150 V u prisustvu poremećaja dinamike 500 A/ms. Verifikacija algoritma u prisustvu opisanih poremećaja je sprovedena eksperimentalnim putem na skaliranom prototipu snage 1.5 kW. Bez gubitka opštosti, za potrebe testiranja algoritma je usvojena topologija dvofaznog sinhronog spuštača napona, prikazana na Slici 1.1. Hardverski parametri projektovanog energetskog pretvarača dati su u Tabeli 1.1.



Slika 1.1. Dvofazni sinhroni spuštač napona.

Tabela 1.1. Hardverski parametri analiziranog sistema.

Parametar	Vrednost
Broj faza	2
Fazni pomeraj	180°
Prekidačka učestanost	100 kHz
Učestanost odabiranja	200 kHz
Ulazni napon (V_{IN})	180 V
Opseg izlaznog napona (V_{OUT})	20 - 150 V
Kapacitivnost jednosmernog međukola (C_{DC})	150 μ F
Induktivnost filtra (L)	33 μ H
Kapacitivnost filtra (C)	33 μ F

Postupak modeliranja objekta upravljanja u prostoru stanja opisan je u Sekciji 2. U Sekciji 3. je predstavljen postupak sinteze algoritma za regulaciju koji je predmet rada. Eksperimentalni rezultati su dati u Sekciji 4. Konačno, u Sekciji 5. su izneti zaključci rada i potencijalni pravci daljeg istraživanja.

2 MODELIRANJE OBJEKTA UPRAVLJANJA

Za potrebe modeliranja pretvarača usvojen je pristup impulsno invarijantne diskretizacije modela izvedenog usrednjavanjem u prostoru stanja. S obzirom na to da je analizirana topologija vremenski invarijantna, rezultujući model precizno oslikava dinamiku pretvarača u diskretnom vremenu [4]. Na osnovu postupka opisanog u [1], za elemente vektora stanja su odabrane struje koje postoje u namotajima izlaznih filtera i napon kondenzatora izlaznog filtra. Za elemente vektora ulaza odabran je napon jednosmernog međukola i struja potrošača. Rezultujuće matrice stanja i izlaza su invarijantne u odnosu na prekidačko stanje, što potvrđuje polaznu pretpostavku vremenske invarijantnosti. U skladu sa brojem mogućih prekidačkih stanja, polazni skup matrica ulaza broji četiri člana. Kao što je navedeno u Tabeli 1.1, razlika između faza analiziranog pretvarača iznosi 180°, čime je omogućena ravnomerna raspodela struje kroz prekidačke komponente i smanjenje talasnosti izlaznog napona [1]. Zbog lakšeg izračunavanja, na fazno pomešane polumostove je primenjen princip superpozicije, čime je broj matrica ulaza smanjen sa četiri na dva. Nakon usrednjavanja u okolini radne tačke određene faktorom ispunjenosti, određena je matrica funkcija prenosa. Za dalje razmatranje, koje je dato u kontekstu korišćene impulsno-širinske modulacije, relevantna je funkcija prenosa od faktora ispunjenosti do izlaznog napona:

$$G_P(s) = \frac{b_0}{s^2 + a_1s + a_0} e^{-st_d}. \#(2.1.)$$

U skladu sa realizovanom prekidnom rutinom na DSP, za digitalno kašnjenje t_d je usvojena jedna perioda odabiranja upravljačkog signala [4]. Konačno, diskretizovana funkcija prenosa ima formu:

$$G_P(z) = \frac{d_1 z + d_0}{z^2 + c_1 z + c_0} z^{-1}. \#(2.2.)$$

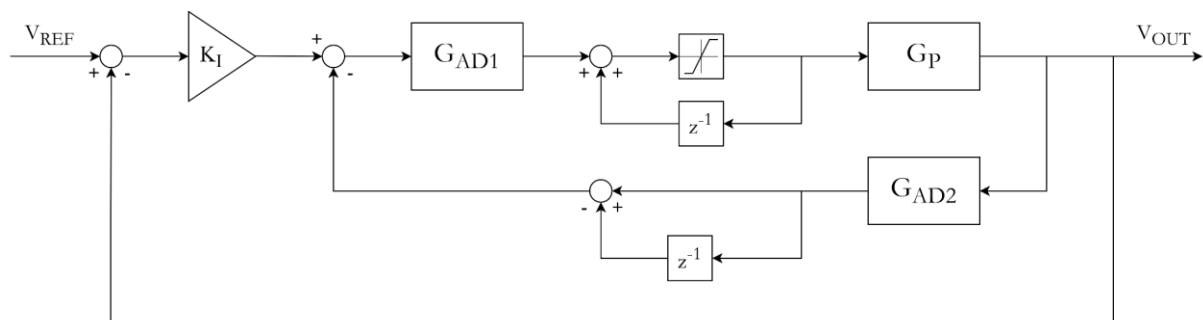
Vrednosti koeficijenata navedenih kontinualnih i diskretnih funkcija prenosa date su u Tabeli 2.1.

Tabela 2.1. Vrednosti koeficijenata izvedenih funkcija prenosa.

Koeficijent	Vrednost
a_0	$1.250 \cdot 10^9$
a_1	$1.562 \cdot 10^3$
b_0	$1.875 \cdot 10^{11}$
c_0	0.992
c_1	-1.961
d_0	2.327
d_1	2.336

3 SINTEZA ALGORITMA ZA REGULACIJU

Sa ciljem potiskivanja oscilatorne dinamike prisutne u izvedenom modelu energetskog pretvarača, u strukturu regulacionog sistema je pored glavne naponske petlje uključena i unutrašnja naponska petlja sa ulogom aktivnog prigušivanja. Na Slici 3.1. prikazan je blok dijagram opisanog sistema u inkrementalnoj formi.



Slika 3.1. Blok dijagram regulacionog sistema.

Strukturu unutrašnje regulacione petlje čine dva kompenzatora, i to kompenzator $G_{AD1}(z)$ u direktnoj grani i $G_{AD2}(z)$ u povrtnoj grani, kao što je prikazano na Slici 3.1. Struktura ovih kompenzatora je izabrana tako da rezultujuća funkcija komplementarne osetljivosti unutrašnje

petlje ima minimalan broj polova. Kao rezultat, struktura navedenih kompenzatora je opisana sa:

$$G_{AD1}(z) = \frac{z(z - \sigma)}{z^2 + a_1z + a_0}, \#(3.1.)$$

$$G_{AD2}(z) = \frac{b_1z + b_0}{(z - \sigma)}. \#(3.2.)$$

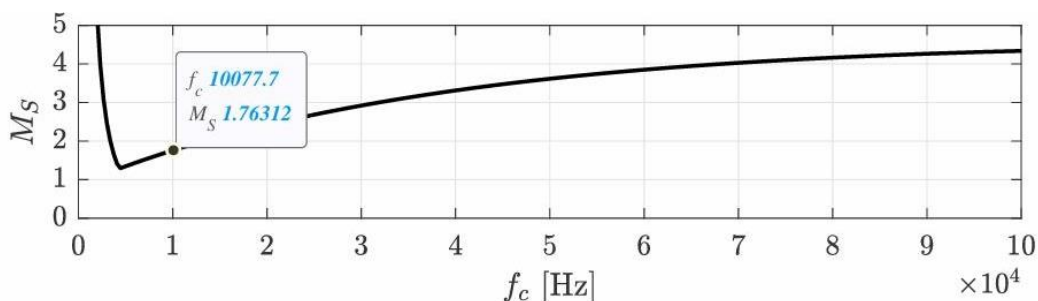
Na ovaj način se obezbeđuje jednostavno opisivanje dinamičkog ponašanja energetskog pretvarača i regulacionog sistema u funkciji jednog parametra σ . Sa ciljem podešavanja parametara u skladu sa željenim karakteristikama regulacionog sistema, upotrebljena je tehnika plasiranja polova funkcije spregnutog prenosa. Željeni karakteristični polinom te funkcije ima formu:

$$P(z) = z^2(z - \sigma)^3, \#(3.3.)$$

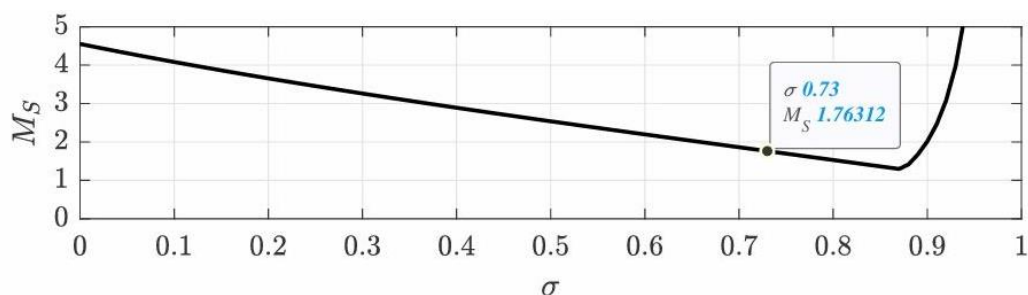
gde je σ preostali slobodni parametar koji se bira u skladu sa željenim ponašanjem sistema pri radu u zatvorenoj sprezi. Slika 3.2. pokazuje maksimum funkcije senzitivnosti M_s u funkciji propusnog opsega f_c za posmatrani sistem. Dalje je je odabir slobodnog parametra σ ograničen po robusnosti. Uzimajući u obzir željeno vreme postizanja naponske reference i potiskivanja poremećaja od 100 μ s, adekvatan odabir za propusni opseg zatvorene sprege je 10 kHz, odnosno 10 puta ispod prekidačke učestanosti pretvarača [4]. Ovaj izbor rezultuje sa $M_s = 1.8$, iz opsega od 1.3 do 2, koji se često uzima za poželjan sa stanovišta robusnosti [3]. Na osnovu relacije

$$\sigma = e^{-2\pi f_c T_s}, \#(3.4.)$$

izvedene u [5], ove specifikacije se postižu za $\sigma = 0.73$, što je pokazano i na Slici 3.3. Izjednačavanjem karakterističnog polinoma funkcije komplementarne osetljivosti izražene u opštim brojevima sa (3.3.), formiran je sistem jednačina koji rezultuje parametrima sistema datim u Tabeli 3.1.



Slika 3.2. Uticaj propusnog opsega zatvorene sprege f_c na maksimum funkcije senzitivnosti M_s .

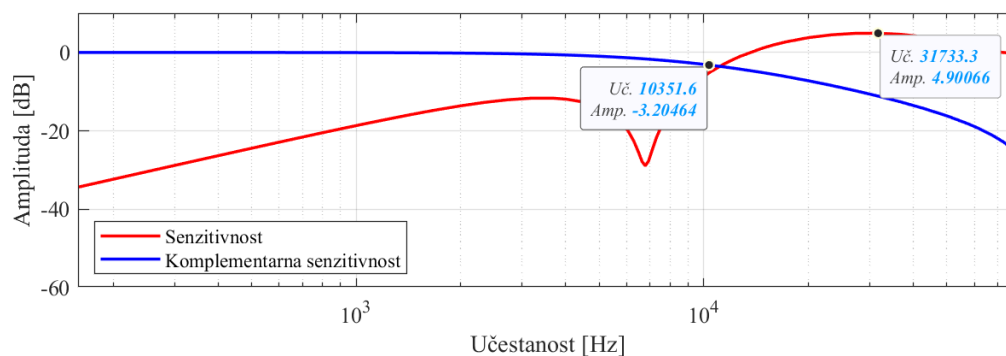


Slika 3.3. Uticaj slobodnog parametra σ na maksimum funkcije senzitivnosti M_s .

Tabela 3.1. Vrednosti parametara regulacionog sistema.

Parametar	Vrednost
a_0	0.1883
a_1	0.5284
b_0	-0.09253
b_1	0.1012
K_i	0.0091

Frekventne karakteristike funkcija senzitivnosti i komplementarne senzitivnosti za odabrano σ koje rezultuje željenim karakteristikama zatvorene sprege prikazani su na Slici 3.4.

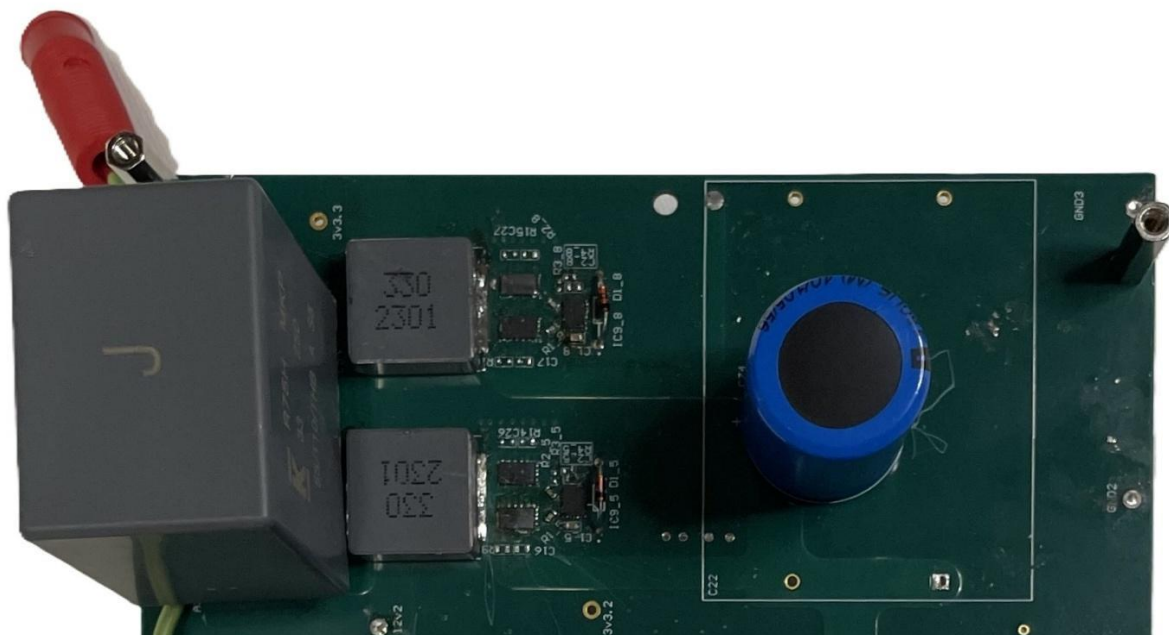


Slika 3.4. Frekventne karakteristike funkcija senzitivnosti i komplementarne senzitivnosti.

4 EKSPERIMENTALNI REZULTATI

Izvedeni regulacioni algoritam je realizovan i verifikovan na prototipu dvofaznog spuštača napona snage 1.5 kW prikazanog na Slici 4.1, čiji su ključni hardverski parametri navedeni u Tabeli 1.1. Algoritam je pritom implementiran digitalno na TMS320F28379DPTPS DSP proizvođača *Texas Instruments*, u okviru prekidne rutine čija je učestanost 200 kHz. Ispitivanja razvijenog algoritma su sprovedena pri Laboratoriji za digitalno upravljanje pretvaračima i pogonima Elektrotehničkog fakulteta Univerziteta u Beogradu. Izvršeni eksperimenti

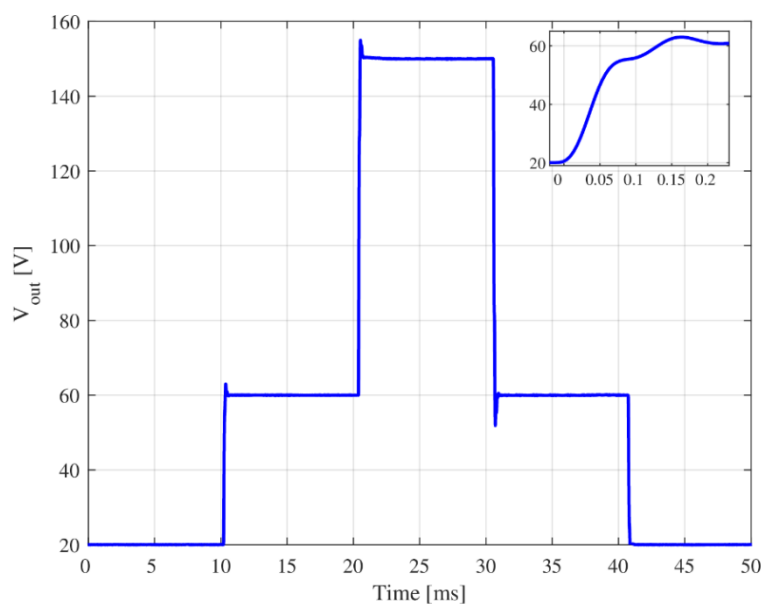
obuhvataju ispitivanje ponašanja izlaznog napona pretvarača prilikom postizanja nominalnog naponskog nivoa i prilikom promene struje potrošača.



Slika 4.1. Prototip dvofaznog spuštača napona.

Kao izvor jednosmernog napona za pretvarač je korišćeno *ITECH* IT6525D programabilno napajanje. Pri testiranju interakcije sa potrošačem korišćeno je *Chroma* 63202A-600-140 jednosmerno elektronsko opterećenje u režimu konstantne struje. Za merenja su korišćene *MicSig* DP10013 diferencijalne visokonaponske sonde sa opsegom od 100 MHz i *Testec* TT-CC70 strujne sonde. Rezultati prvog eksperimenta su očitani iz memorije korišćenog DSP, dok su merenja koja se odnose na drugi eksperiment očitana uz pomoć *Rigol* MSO5104 digitalnog osciloskopa sa propusnim opsegom 100 MHz.

Testovi prikazani na Slici 4.2. su sprovedeni sa ciljem analize ponašanja regulacionog sistema pri odsustvu potrošača na izlazu, i pri odskočnim promenama reference u celom radnom naponskom opsegu pretvarača. Prikazan je odziv izlaznog napona pretvarača pri odskočnoj promeni reference između tri naponska nivoa (20 V, 60 V i 150 V) u oba smera. Izmerene vrednosti vremena uspona i pada napona predstavljene su u Tabeli 4.1. Može se videti da su željene naponske karakteristike tokom tranzijenata uspešno ostvarene, kao i da je napon stabilno regulisan u ustaljenom stanju uz zanemarivo prisustvo viših harmonika.

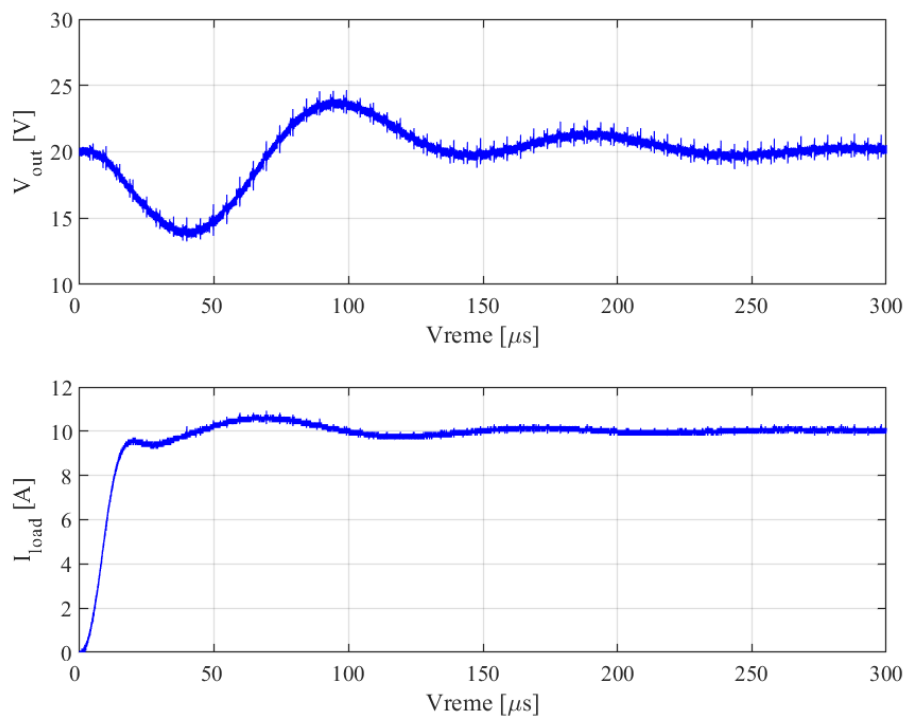


Slika 4.2. Dinamički odziv regulacionog sistema pri odskočnoj promeni reference u režimu praznog hoda.

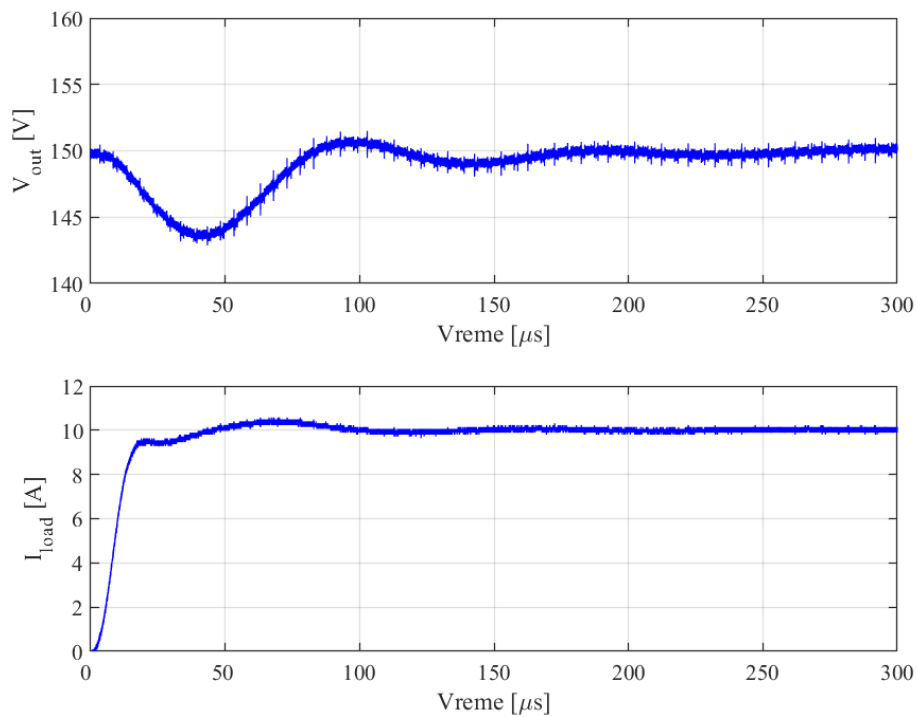
Tabela 4.1. Vremena uspona i pada napona prilikom promene reference.

Tranzijent	20 V ↔ 60 V	60 V ↔ 150 V
Vreme uspona [μs]	84.49	99.40
Vreme pada [μs]	89.46	94.43

Na Slici 4.3. i Slici 4.4. prikazani su eksperimentalni rezultati ponašanja izlaznog napona pri promeni struje potrošača od 0 do 10 A, dinamikom 500 A/ms. Od interesa je ispitati potiskivanje poremećaja na naponskim nivoima od 20 V i 150 V, odnosno na granicama usvojenog radnog opsega pretvarača. Stabilna isporuka izlaznog napona pri struji potrošača od 10 A na naponskim nivoima od 20 V i 150 V je postignuta za manje od 150 μs i 100 μs, redom. Može se videti da stabilnost u regulaciji izlaznog napona nije ugrožena i da sistem uspešno i brzo potiskuje poremećaje.



Slika 4.3. Tranzijent pri promeni struje potrošača od 0 do 10 A dinamikom 500 A/ms pri izlaznom naponu od 20 V.



Slika 4.4. Tranzijent pri promeni struje potrošača od 0 do 10 A dinamikom 500 A/ms pri izlaznom naponu od 20 V.

5 ZAKLJUČAK I DALJI RAD

U radu je predstavljen algoritam za brzu regulaciju izlaznog napona kod višefaznog spuštača napona zasnovan na dve naponske petlje i projektovan prema željenim karakteristikama zatvorene sprege u pogledu propusnog opsega i maksimuma funkcije senzitivnosti. Postupak modeliranja objekta upravljanja i projektovanja regulacionog sistema su detaljno obrazloženi. Metod projektovanja i teorijski očekivane performanse digitalno implementiranog algoritma su verifikovani eksperimentalno na prototipu višefaznog spuštača napona snage 1.5 kW.

U pogledu odziva na promenu reference, potvrđene su hipoteze postavljene prilikom odabira strukture regulacionog sistema i definisanja željenih karakteristika zatvorene sprege prema kojima je projektovan. Ostvareno je uspešno potiskivanje poremećaja u periodu do 150 μ s nezavisno od naponskog nivoa, kao i potstizanje proizvoljne naponske refence u periodu do 100 μ s sa prihvatljivim preskokom. Izmerena vremena smirenja nakon promene struje potrošača ukazuju na potencijalni pravac daljeg istraživanja u vidu razmatranja dinamike interakcije potrošača sa pretvaračem prilikom projektovanja regulacionog sistema.

LITERATURA

- [1] R. Erickson and D. Maksimovic. *Fundamentals of Power Electronics*. 2nd ed. Springer, 2001. ISBN: 9780792372707.
- [2] K. J. Åström and R. M. Murray. *Feedback Systems*. 2nd ed. Princeton University Press, 2021. ISBN: 978-0691193984.
- [3] K. J. Åström and T. Haggund. *PID Controllers: Theory, Design and Tuning*. 2nd ed. ISA - The Instrumentation, Systems and Automation Society, 1995. ISBN: 1-55617-516-7.
- [4] L. Corradini et al. *Digital Control of High-Frequency Switched-Mode Power Converters*. Wiley-IEEE Press, 2015. ISBN: 9781118935101.
- [5] M. Č. Bošković et al. *A New Analytical Design Method of Resonant Controllers in Digital Domain under Robustness Constraints*. 2024. DOI: 10.1109/INFOTEH60418.2024. 10495990.